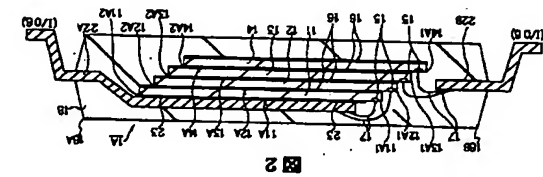


特開2001-298150
(P2001-298150A)

(43) 公開日 平成13年10月25日 (2001.10.25)

(51) IntCl ⁷	識別記号	PI	デコード(参考)
H01L 25/05		H01L 25/05	K 5 F 0 6 7
25/07		25/05	Z
25/18			
25/50			

(21) 出願番号	2000-114552 (P2000-114552)	(71) 出願人	00005108 株式会社日立製作所
(22) 出願日	平成12年4月14日 (2000.4.14)	(71) 出願人	00023169 株式会社日立製作所 神田区神田 4丁目6番地 株式会社日立製作所 エル・エス・アイ・システムズ 東京都小平市上水本町5丁目22番1号 増田 正樹
		(72) 発明者	東京都小平市上水本町5丁目20番1号 株 式会社日立製作所 半導体グループ内 10003552 永井士 秋田 収啓
(54) 発明の名称	半導体装置及びその製造方法		



(57) (要約)

【課題】 半導体装置の歩留まりの向上を図る。

【解決手段】 樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された複数の半導体チップであって、互いに対向する第1主面及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2辺のうちの第1辺側に電極が配置された複数の半導体チップと、前記樹脂封止体の内部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記複数の半導体チップの電極と電気的に接続されるリードとを有する半導体装置であって、前記複数の半導体チップは、夫々の第1辺が同一側に位置するように夫々の第1主面を同一方向に向け、かつ互いに向かい合う一方の半導体チップの電極が他方の半導体チップの第1辺よりも外側に位置するように夫々の位置をずらした状態で積層されている。

【特許請求の範囲】

【請求項1】 樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された複数の半導体チップであって、互いに対向する第1主面及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2辺のうちの第1辺側に電極が配置された複数の半導体チップと、

前記樹脂封止体の内部に位置するインナー部と、前記インナー部がボンディングワイヤを介して前記複数の半導体チップの電極と電気的に接続されるリードとを有し、前記複数の半導体チップは、夫々の第1辺が同一側に位置するように夫々の第1主面を同一方向に向け、かつ互いに向かい合う一方の半導体チップの電極が他方の半導体チップの第1辺よりも外側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記複数の半導体チップは、互いに向かい合う一方の半導体チップの第2辺が他方の半導体チップの第2辺よりも内側に位置するように夫々の位置をずらした状態で積層されていることを特徴とする半導体装置。

【請求項3】 平面が方形の樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された第1辺及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2主面を有し、前記インナー部がボンディングワイヤを介して前記第1半導体チップの電極と電気的に接続される第1リードと、

前記樹脂封止体の内部に位置するインナー部と、前記樹脂封止体の第2辺側から突出して前記樹脂封止体の外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第2半導体チップの電極と電気的に接続される第2リードとを有し、

前記第1及び第2半導体チップは、夫々の第1辺が前記第2リード側に位置するように前記第1半導体チップの第2主面と前記第2半導体チップの第1主面とを向かい合わせ、かつ前記第2半導体チップの第1主面と前記第1半導体チップの第2主面とを向かい合わせ、かつ前記第2半導体チップの第2辺が前記第1半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で積層固定され、

前記第1リードのインナー部は、前記第1半導体チップの第1主面に接合固定されていることを特徴とする半導体装置。

【請求項4】 平面が方形の樹脂封止体と、前記樹脂封止体の内部に位置し、平面が方形で形成された第1乃至第4半導体チップであって、互いに対向する第1主面及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2辺のうちの第1辺側に電極が配置された第1乃至第4半導体チップと、

前記樹脂封止体の内部に位置するインナー部と、前記樹脂封止体の互いに対向する第1辺及び第2辺のうちの第1辺側から突出して前記樹脂封止体の外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第1半導体チップの電極と電気的に接続される第1リードと、

前記樹脂封止体の内部に位置するインナー部と、前記樹脂封止体の第2辺側から突出して前記樹脂封止体の外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第3及び第4半導体チップの電極と電気的に接続される第2リードとを有し、前記第1及び第2半導体チップは、前記第1及び第2半導体チップの第1辺が前記第2リード側に位置するように前記第1半導体チップの第2主面と前記第2半導体チップの第1主面とを向かい合わせ、かつ前記第2半導体チップの第2主面と前記第1半導体チップの第1主面とを向かい合わせ、かつ前記第2半導体チップの第2辺が前記第1半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で積層固定され、

前記第3半導体チップは、前記第3半導体チップの第1辺が前記第2リード側に位置するように前記第2半導体チップの第2主面と前記第3半導体チップの第1主面とを向かい合わせ、かつ前記第3半導体チップの電極が前記第2半導体チップの第1辺よりも外側に位置し、前記第3半導体チップの第2辺が前記第2半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で積層固定され、

前記第3及び第4半導体チップは、前記第4半導体チップの第1辺が前記第2リード側に位置するように前記第3半導体チップの第2主面と前記第4半導体チップの第1主面とを向かい合わせ、かつ前記第4半導体チップの電極が前記第3半導体チップの第1辺よりも外側に位置し、前記第3半導体チップの第2辺が前記第4半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で積層固定され、

前記第1リードのインナー部は、前記第1半導体チップの第1主面に接合固定されていることを特徴とする半導体装置。

【請求項5】 請求項3又は4に記載の半導体装置において、前記第1リードのインナー部の先端部分は、前記第1半導体チップの電極の近傍に配置されていることを特徴とする半導体装置。

【請求項6】 平面が方形で形成された第1及び第2半導体チップであって、互いに対向する第1主面及び第2

する第1辺及び第2辺のうちの第1辺側に配置された電極とを有する第1乃至第4半導体チップと、前記第1半導体チップの内部に位置するインナー部と、前記第1半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第1半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第1半導体チップの電極と電気的に接続される第1リードと、

前記第2半導体チップの内部に位置するインナー部と、前記第2半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第2半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第2半導体チップの電極と電気的に接続される第2リードと、

前記第3半導体チップは、前記第3半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第3半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第3半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第3半導体チップの電極と電気的に接続される第3リードと、

前記第4半導体チップは、前記第4半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第4半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第4半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第4半導体チップの電極と電気的に接続される第4リードと、

前記第5半導体チップは、前記第5半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第5半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第5半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第5半導体チップの電極と電気的に接続される第5リードと、

前記第6半導体チップは、前記第6半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第6半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第6半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第6半導体チップの電極と電気的に接続される第6リードと、

の電極と電気的に接続される第2リードと、前記第1半導体チップを支持する支持リードとを有し、前記第1半導体チップは、前記第1半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第1半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第1半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第1半導体チップの電極と電気的に接続される第1リードと、

前記第2半導体チップは、前記第2半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第2半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第2半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第2半導体チップの電極と電気的に接続される第2リードと、

前記第3半導体チップは、前記第3半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第3半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第3半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第3半導体チップの電極と電気的に接続される第3リードと、

前記第4半導体チップは、前記第4半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第4半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第4半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第4半導体チップの電極と電気的に接続される第4リードと、

前記第5半導体チップは、前記第5半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第5半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第5半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第5半導体チップの電極と電気的に接続される第5リードと、

前記第6半導体チップは、前記第6半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第6半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第6半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第6半導体チップの電極と電気的に接続される第6リードと、

前記第7半導体チップは、前記第7半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第7半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第7半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第7半導体チップの電極と電気的に接続される第7リードと、

ップの電極が前記第2半導体チップの第1辺よりも外側に位置し、前記第2半導体チップの第2辺が前記第1半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で接合固定され、

前記第3半導体チップは、前記第3半導体チップの第1辺が前記第2半導体チップの第2辺よりも外側に位置するように前記第3半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第3半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第3半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第3半導体チップの電極と電気的に接続される第3リードと、

前記第4半導体チップは、前記第4半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第4半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第4半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第4半導体チップの電極と電気的に接続される第4リードと、

前記第5半導体チップは、前記第5半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第5半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第5半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第5半導体チップの電極と電気的に接続される第5リードと、

前記第6半導体チップは、前記第6半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第6半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第6半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第6半導体チップの電極と電気的に接続される第6リードと、

前記第7半導体チップは、前記第7半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第7半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第7半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第7半導体チップの電極と電気的に接続される第7リードと、

前記第8半導体チップは、前記第8半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第8半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第8半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第8半導体チップの電極と電気的に接続される第8リードと、

前記第9半導体チップは、前記第9半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第9半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第9半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第9半導体チップの電極と電気的に接続される第9リードと、

前記第10半導体チップは、前記第10半導体チップの第1辺及び第2辺のうちの第1辺側に位置するように前記第10半導体チップの第1辺及び第2辺のうちの第1辺側から突出して前記第10半導体チップの外部に位置するアウター部とを有し、前記インナー部がボンディングワイヤを介して前記第10半導体チップの電極と電気的に接続される第10リードと、

ブ、第1リードのインナー部、第2リードのインナー部及びボンディングワイヤ等を封止する樹脂封止体とを有する構成となっている。第1半導体チップ、第2半導体チップの夫々は、夫々の回路形成面を互いに対向させた状態で積層されている。第1リード、第2リードの夫々は、夫々の接続部を互いに重ね合わせた状態で接合されている。

[0004] タブ構造の積層型半導体装置は、タブ（ダ）イパッドとも言う）の表面（互いに対向する一主面及び他の主面）のうちの表面（一主面）に接合層を介して固定される第1半導体チップと、タブの表面（他の主面）に接合層を介して固定される第2半導体チップと、第1半導体チップ、第2半導体チップのうちの何れか一方の半導体チップの電極にボンディングワイヤを介して電気的に接続される複数の専用リードと、第1半導体チップ、第2半導体チップの夫々の電極にボンディングワイヤを介して電気的に接続される複数の専用リードと、第1半導体チップ、第2半導体チップの専用リードのインナー部、共用リードのインナー部及びボンディングワイヤ等を封止する樹脂封止体とを有する構成となっている。第1半導体チップ、第2半導体チップの夫々の電極は、回路形成面において互いに対向する二つの長辺側に、回路形成面に沿って複数配列されている。専用リード、共用リードの夫々は、半導体チップの二つの長辺の夫々の外側に配置されている。

[0005] [発明が解決しようとする課題] 本発明者は、前述の積層型半導体装置について検討した結果、以下の問題点を生じた。

[0006] (1) LOC構造の積層型半導体装置においては、第1半導体チップの電極にボンディングワイヤを介して電気的に接続された第1リードと、第2半導体チップの電極にボンディングワイヤを介して電気的に接続された第2リードとを部分的に重ね合わせることで、二枚のリードフレームを用いて製造する必要があるため、製造コストが高くなる。

[0007] (2) LOC構造の積層型半導体装置においては、半導体チップの電極とリードとをボンディングワイヤで電気的に接続した後、二枚のリードフレームを重ね合わせることで二つの半導体チップを積層している。このような場合、半導体チップの積層時にボンディングワイヤが変形するといった不具合が発生し易くなるため、歩留まりの低下を招く。

[0008] (3) タブ構造の積層型半導体装置においては、タブの表面に半導体チップを搭載している。このように構成の場合、タブの表面に半導体チップを搭載した後ではタブをヒートステージに接続させることが困難であるため、ワイヤボンディングに必要温度まで半導体チップを加熱することが難しい。従って、半導体

2Aのインナー部と電気的に接続するボンディングワイヤ17の長さ及びチップ12の電極15とリード22Aのインナー部とを電気的に接続するボンディングワイヤ17の長さを短くすることができる。

[0055] また、この工程において、四つのチップは、チップ11の他方の長辺11A2がチップ12の他方の長辺12A2より外側に位置し、チップ12の他方の長辺12A2がチップ13の他方の長辺13A2より外側に位置し、チップ13の他方の長辺13A2がチップ14の他方の長辺14A2より外側に位置するように夫々の位置をずらした状態で積層されている。従って、これらの積層領域にチップから露出している。従って、これらの積層領域に接するように突出部もしくは段差部をヒートステージ0に設けておくことにより、三つのチップの夫々の他方の長辺11A2、12A2、13A2を直接的に若しくは間接的に接続させることができる。

[0056] また、この工程において、チップ11及びチップ12は、チップ11の電極15間の領域とチップ12の電極15とが対向するように夫々の位置をずらした状態で積層されている。従って、チップ11の電極15に接続されるボンディングワイヤ17とチップ12の電極に接続されるボンディングワイヤ17との短絡を抑えることができる。

[0057] また、この工程において、チップ13及びチップ14は、チップ11の電極15間の領域とチップ13の電極15とが対向するように夫々の位置をずらした状態で積層されている。従って、チップ11の電極15に接続されるボンディングワイヤ17とチップ14の電極に接続されるボンディングワイヤ17との短絡を抑えることができる。

[0058] 次に、四つのチップ(11, 12, 13, 14)、リード22Aのインナー部、リード22Bのインナー部及びボンディングワイヤ17等を樹脂で封止して樹脂封止体18を形成する。樹脂封止体18の形成は、トランスファーマルディング法で行う。

[0059] 次に、リード22Aに連結されたタイパバー25及びリード22Bに連結されたタイパバー22を切断し、その後、リード22A、リード22Bの夫々のアウター部にマスキング処理を施し、その後、リードフレーム14のF1の枠体21からリード122及び22Bを切断し、その後、リード22A、22Bの夫々のアウター部を面貫型リード形状の一つであるガルーウムF1の枠体14に曲げ成形し、その後、リードフレーム14の枠体14から樹脂封止体18を分離することにより、図1及び図2に示す半導体装置1Aがほぼ完成する。

[0060] このようにして形成された半導体装置1Aは、図8(仮組形式の断面図)に示すように、1つの回路システムを構成する電子装置の構成部品として実装基板31に積層実装される。半導体装置1Aは、同一機能の

機能のリードが対向して配置されているので、リード22Aとリード22Bとを電気的に接続するための電極31Aを直接的に引き回すことができる。また、半導体装置1Aのリード22Bと他の半導体装置1Aのリード22Aとを電気的に接続するための電極31Aを直接的に引き回すことができる。従って、実装基板31の配線層数を低減することができるので、電子装置、例えばメモリモジュール等の小型化を図ることができる。

[0061] 以上説明したように、本発明の形態によれば、以下の効果が得られる。

[0062] (1) 四つのチップ(11, 12, 13, 14)において、チップ11及びチップ12は、チップ11及び12の一方の長辺(11A1, 12A1)がリード22B側に位置するようにチップ11の裏面とチップ12の回路形成面12Aとを向かい合わせ、かつチップ12の電極15がチップ11の一方の長辺11A1より外側に位置するように夫々の位置をずらした状態で積層固定されている。

[0063] また、チップ12及びチップ13は、チップ13の一方の長辺(11A1, 12A1)がリード22B側に位置するようにチップ12の裏面とチップ13の回路形成面12Aとを向かい合わせ、かつチップ13の電極15がチップ12の一方の長辺11A1より外側に位置するように夫々の位置をずらした状態で積層固定されている。

[0064] また、チップ13及びチップ14は、チップ14の一方の長辺(11A1, 12A1)がリード22B側に位置するようにチップ13の裏面とチップ14の回路形成面14Aとを向かい合わせ、かつチップ14の電極15がチップ13の一方の長辺11A1より外側に位置するように夫々の位置をずらした状態で積層固定されている。

[0065] このような構成とすることにより、ワイヤボンディング工程において、リードフレームLF1を反転させることなく(チップを反転させることなく)、四つのチップの電極15とリードのインナー部とをボンディングワイヤ17で接続することができるので、リードフレームLF1の反転に伴うボンディングワイヤ17の變形を抑制し、反転に伴うワイヤボンディングの歩留まりの向上を図ることができる。

[0066] また、一つのリードのインナー部に複数のチップの電極(本発明の形態では二つのチップの電極)をワイヤボンディングすることができ、複数のワイヤボンディングを用いることにより、半導体装置1Aの低コスト化を図ることができる。

[0067] また、リードフレームLF1を反転させる必要がないので、半導体装置1Aの生産性の向上を図ることができる。

[0068] また、四つのチップにおいて、同一機能の

電極15が夫々対向するので、ミラール回路パターンチップを用いる必要がない。従って、半導体装置1Aの低コスト化を図ることができる。

[0069] (2) 四つのチップは、チップ11の他方の長辺11A2がチップ12の他方の長辺12A2より外側に位置し、チップ12の他方の長辺12A2がチップ13の他方の長辺13A2より外側に位置し、チップ13の他方の長辺13A2がチップ14の他方の長辺14A2より外側に位置するように夫々の位置をずらした状態で積層されている。

[0070] このような構成とすることにより、最下段のチップ14を除く三つのチップの夫々の他方の長辺12A1、13A1、14A1を除く三つのチップの裏面領域にチップから露出する。三つのチップの夫々の他方の長辺12A1、13A1、14A1を除く三つのチップの裏面領域にチップから露出する。三つのチップの夫々の他方の長辺12A1、13A1、14A1を除く三つのチップの裏面領域にチップから露出する。三つのチップの夫々の他方の長辺12A1、13A1、14A1を除く三つのチップの裏面領域にチップから露出する。

[0071] (3) リード22Aのインナー部の先端部はチップ11の電極15の近接に配置されている。このように構成とすることにより、チップ11の電極15とリード22Aのインナー部とを電気的に接続するボンディングワイヤ17の長さを短くすることができる。この結果、半導体装置1Aの高速化を図ることができる。

[0072] (4) チップ11及びチップ12は、チップ11の電極15間の領域とチップ12の電極15とが対向するように夫々の位置をずらした状態で積層固定されている。チップ13及びチップ14は、チップ14の電極15間の領域とチップ13の電極15とが対向するように夫々の位置をずらした状態で積層固定されている。このように構成とすることにより、チップ11の電極15に接続されるボンディングワイヤ17とチップ12の電極に接続されるボンディングワイヤ17との短絡を抑えることができる。また、チップ13の電極15に接続されるボンディングワイヤ17とチップ14の電極に接続されるボンディングワイヤ17との短絡を抑えることができる。この結果、半導体装置1Aの歩留まりの向上を図ることができる。

[0073] なお、本発明の形態では四つのチップを積層し、この四つの半導体チップを一つの樹脂封止体で封止する半導体装置1Aについて説明したが、本発明はこれに限られず、例えば二つ又は三つ若しくは四つ以上のチップを積層し、これらのチップを一つの樹脂封止体で封止する半導体装置においても適用することができる。

[0074] (実施形態2) 図9は、本発明の実施形態

2である半導体装置の模式的断面図である。図9に示すように、本発明の形態の半導体装置1Bは、基本的に前述の実施形態1と同様の構成となっており、以下の構成が異なる点がある。

[0075] 即ち、四つのチップ(11, 12, 13, 14)は、チップ12とチップ13との間にリード22Aのインナー部の中間部分を介在した状態で積層されている。

[0076] チップ12は、チップ12の裏面がリード22Aのインナー部の中間部分と向かい合い、リード22Aのインナー部の先端部分がチップ12の一方の長辺12A1より外側に位置する状態でリード22Aのインナー部の中間部分に接し固定されている。チップ12とリード22Aのインナー部の中間部分との接し固定は、これらの間に介在された接層16によって行われている。

[0077] チップ13は、チップ13の回路形成面13Aがリード22Aのインナー部の中間部分と向かい合い、チップ13の電極15がリード22Aのインナー部の先端部より外側に位置する状態でリード22Aのインナー部の中間部分に接し固定されている。チップ13とリード22Aのインナー部の中間部分との接し固定は、これらの間に介在された接層16によって行われている。

[0078] このような構成においても、前述の実施形態1と同様の効果が得られる。

[0079] また、リード22Aのインナー部における折り曲げ量(オフセット量)を前述の実施形態1と比べて小さく、若しくはリード22Aのインナー部の折り曲げ加工を廃止することができるので、半導体装置の生産性の向上を図ることができる。

[0080] また、チップ11及びチップ12の電極15に接続されるボンディングワイヤ17のループ高さ低くすることができるので、前述の実施形態1と比べて半導体装置の小型化を図ることができる。

[0081] なお、本発明の形態ではチップ12とチップ13との間にリード22Aのインナー部の中間部分を配置した例について説明したが、リード22Aのインナー部の中間部分の配置は、チップ11とチップ12との間、チップ13とチップ14との間であってもよい。但し、ボンディングワイヤ17の張り分けが図る。

[0082] (実施形態3) 図10は、本発明の実施形態3である半導体装置の模式的断面図である。図10に示すように、本発明の形態の半導体装置1Cは、基本的に前述の実施形態1と同様の構成となっており、以下の構成が異なる点がある。

[0083] 即ち、四つのチップ(11, 12, 13, 14)の夫々の電極15は、ボンディングワイヤ17を介してリード22Bのインナー部と夫々電気的に接続されている。また、リード22Aのインナー部は、先端部

分がチップ12の他方の長辺12A2の外側においてチップ11の裏面に接層層(16及び23)を介して接層層固定されている。

[0084] このような構成においても、前述の実施形態1と同様の効果が得られる。

[0085] また四つのチップからなるチップ積層体の厚さでリード22Aの厚さを吸収できるで、前述の実施形態1と比べて半導体装置の薄型化を図ることができ。

[0086] なお、本実施形態ではチップ11の裏面にリード22Aのインナー部の先端部分を接層層した例について説明したが、リード22Aのインナー部の先端部分の接層層はチップ12、13、14の何れかの裏面に接層層固定してもよい。

[0087] (実施形態4) 図11は、本発明の実施形態4である半導体装置の模式的断面図である。図11に示すように、本実施形態の半導体装置1Dは、基本的に前述の実施形態1と同様の構成となっており、以下の構成が異なる。

[0088] 即ち、四つのチップ(11、12、13、14)の夫々の電極15は、ボンディングワイヤ17を介してリード22Bのインナー部と夫々の電極15が接続されている。また、チップ12の他方の長辺12A2の外側において、チップ11の裏面に接層層(16及び23)を介して支持リード24が接層層固定されている。

[0089] このような構成においても、前述の実施形態1と同様の効果が得られる。

[0090] また、図18Aに示すように、半導体装置18の小型化を図ることができ。

[0091] (実施形態5) 図12は本発明の実施形態5である半導体装置の断面図であり、図13は前記半導体装置を示す模式的断面図であり、図14は図12のB-B線に沿う模式的断面図である。

[0092] 図12乃至図14に示すように、本実施形態の半導体装置2Aは、前述の実施形態1と比較してチップの積層形態が異なる。

[0093] チップ11及びチップ12は、チップ11及びチップ12の一方の長辺(11A1、12A1)がリード22A側に位置するようにチップ12の裏面とチップ12の回路形成面12Aとを向かい合わせ、かつチップ12の電極15がチップ11の一方の長辺11A1よりも外側に位置し、チップ11の他方の長辺11A2がチップ12の他方の長辺12Aよりも外側に位置するように夫々の位置をずらした状態で接層層固定されている。

[0094] 前記チップ12及びチップ13は、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ12の裏面とチップ13の裏面とを向かい

との接層層固定は、図16(b)に示すように、チップ12の裏面に接層層16を介してチップ13の裏面を接層層することによって行なう。この時、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ13の向きを合わせた状態で行なう。また、チップ13の一方の長辺13A1がチップ11の他方の長辺11A2よりも外側に位置し、チップ12の一方の長辺12A2よりも外側に位置し、チップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で行なう。チップ13とチップ12との位置をずらした状態で行なう。チップ13の電極15がチップ11の他方の長辺11A1よりも外側に位置し、チップ12の電極15がチップ13の他方の長辺13A2よりも外側に位置する程度が望ましい。

[0102] 次に、チップ13にチップ14を接層層固定する。チップ13とチップ14との接層層固定は、図16(b)に示すように、チップ13の回路形成面13Aに接層層16を介してチップ14の裏面を接層層することによって行なう。この時、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ14の向きを合わせた状態で行なう。また、チップ13の電極15がチップ14の一方の長辺14A1よりも外側に位置し、チップ12の電極15がチップ14の他方の長辺14A2よりも外側に位置するように夫々の位置をずらした状態で行なう。この工程により、四つのチップ(11、12、13、14)は積層される。

[0103] 次に、チップ11及びチップ12の電極15とリード22Aのインナー部とをボンディングワイヤ17で電気的に接続する。チップ11及び12とリード22Aのインナー部との接続は、図17に示すように、チップ11の回路形成面11Aを上向きにした状態で、チップ12の回路形成面12Aを上向きにした状態で、チップ12の一方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で行なう。この工程により、四つのチップ(11、12、13、14)は積層される。

[0104] 次に、チップ13及びチップ14の電極15とリード22Bのインナー部とをボンディングワイヤ17で電気的に接続する。チップ13及び14とリード22Bのインナー部との接続は、図18に示すように、チップ14の回路形成面14Aを上向きにした状態で、チップ13の回路形成面13Aを上向きにした状態で、チップ13の一方の長辺13A2よりも外側に位置するように夫々の位置をずらした状態で行なう。この工程により、四つのチップ(11、12、13、14)は積層される。

[0105] このよう構成することにより、ワイヤボンディング工程において、チップ12の一方の長辺12A2側における裏面領域にヒートステージ32を直接の若しくは間接的に接層層させることができるで、ワイヤボンディングに必要な温度までチップ11及び12を容易に加熱することができ、チップの電極とボンディングワイヤとの接層層不良を低減することができる。また、チップ13の一方の長辺13A1側における裏面領域にヒートステージ33を直接の若しくは間接的に接層層させることができるで、ワイヤボンディングに必要の温度までチップ11及び12を容易に加熱することができ、チップの電極とボンディングワイヤとの接層層不良を低減することができる。この結果、半導体装置2Aの製造プロセス(組立プロセス)における歩留まりの向上を図ることができ。

[0106] 以上説明したように、本実施形態によれば以下の効果が得られる。

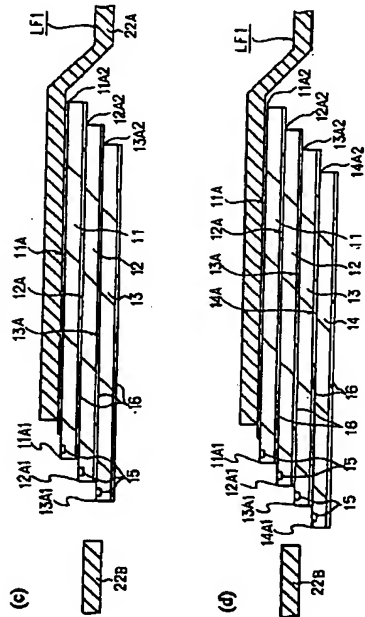
[0107] 四つのチップにおいて、チップ11及びチップ12は、チップ11の一方の長辺11A1がリード22A側に位置するようにチップ11の回路形成面11Aとチップ12の裏面とを向かい合わせ、かつチップ12の電極15がチップ11の一方の長辺11A1よりも外側に位置し、チップ12の他方の長辺12A2よりも外側に位置するように夫々の位置をずらした状態で接層層固定されている。

[0108] また、チップ12及びチップ13は、チップ13の一方の長辺13A1がリード22B側に位置するようにチップ12の裏面とチップ13の裏面とを向かい合わせ、かつチップ13の電極15がチップ12の一方の長辺12A2よりも外側に位置し、チップ13の他方の長辺13A2よりも外側に位置するように夫々の位置をずらした状態で接層層固定されている。

[0109] また、チップ13及びチップ14は、チップ14の一方の長辺14A1がリード22B側に位置するようにチップ13の回路形成面13Aとチップ14の裏面とを向かい合わせ、かつチップ14の電極15がチップ13の一方の長辺13A1よりも外側に位置し、チップ14の他方の長辺14A2よりも外側に位置するように夫々の位置をずらした状態で接層層固定されている。

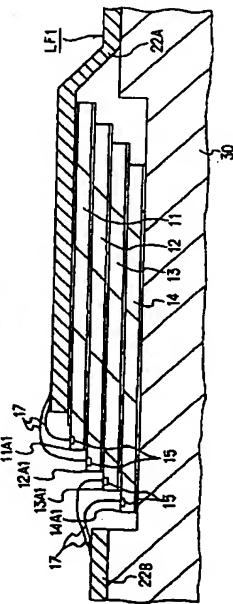
【图6】

图6



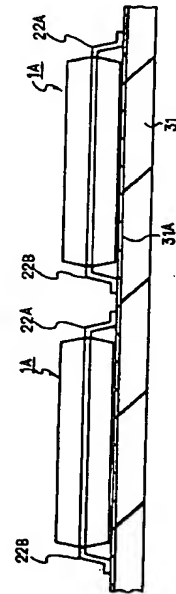
【图7】

图7



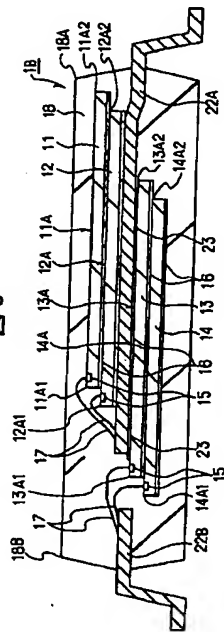
【图8】

图8



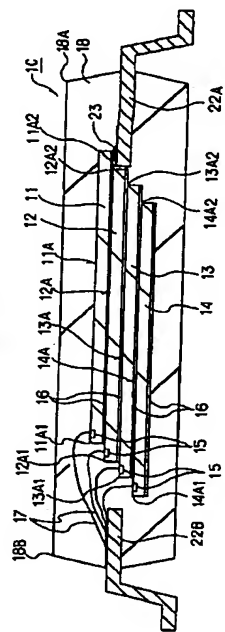
【图9】

图9



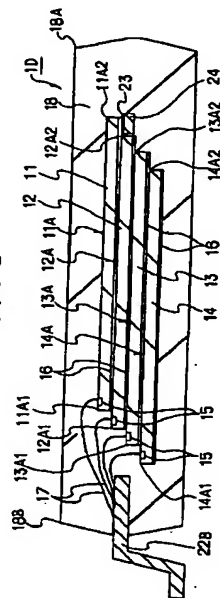
【图10】

图10



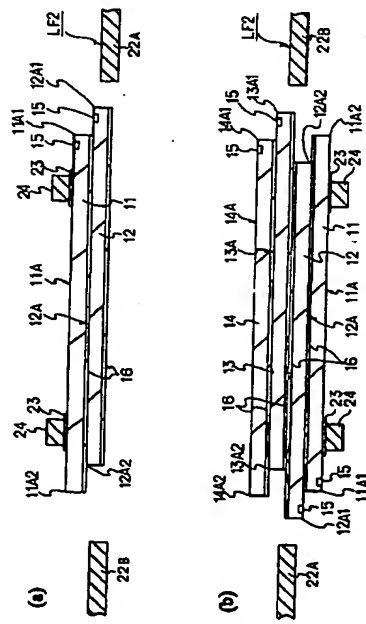
【图11】

图11



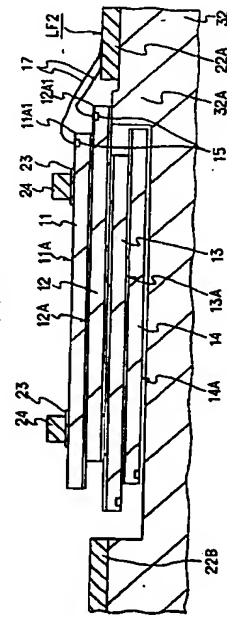
【図16】

図16



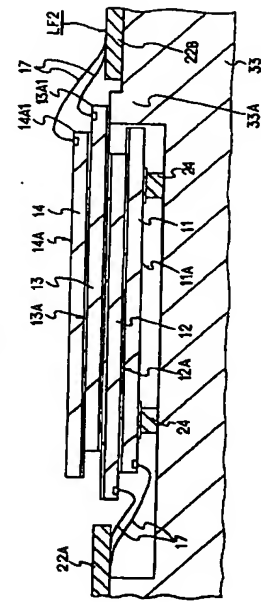
【図17】

図17



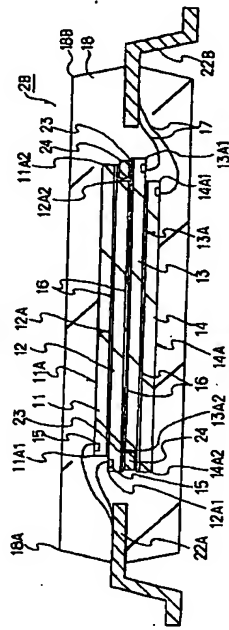
【図18】

図18



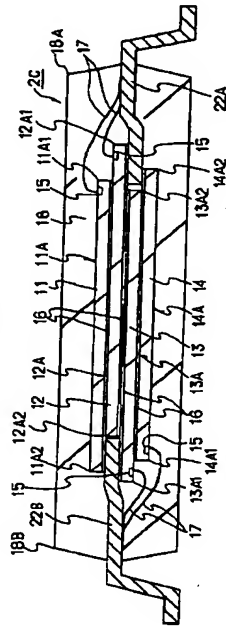
【図19】

図19



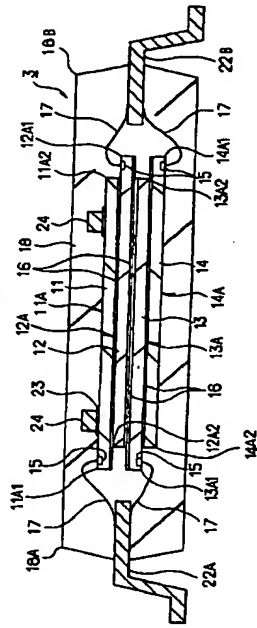
【図20】

図20



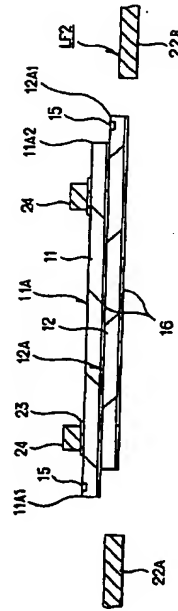
【図21】

図21



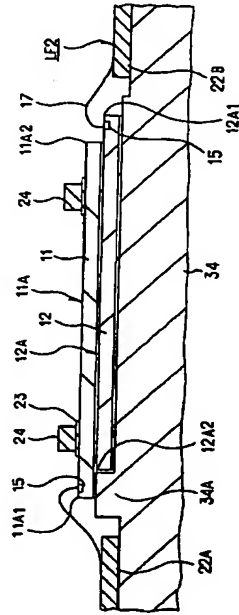
[図 2 2]

図 2 2



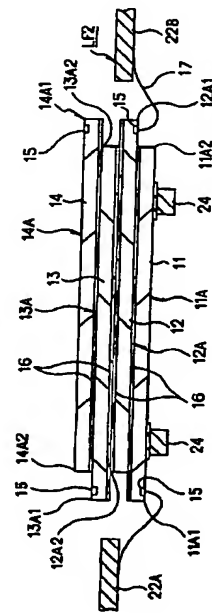
[図 2 3]

図 2 3



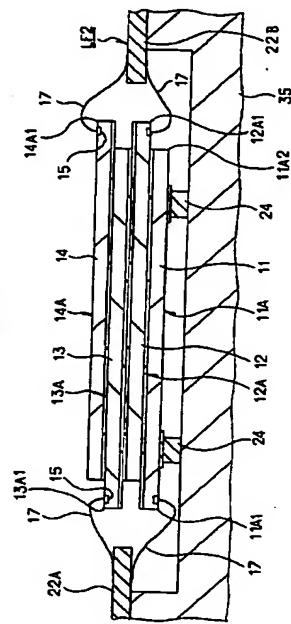
[図 2 4]

図 2 4



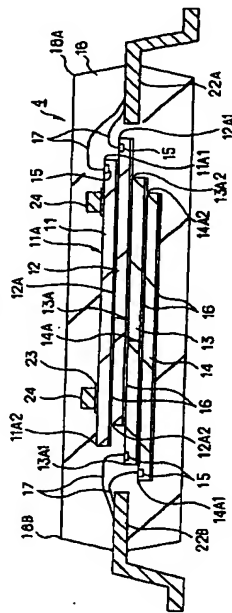
[図 2 5]

図 2 5



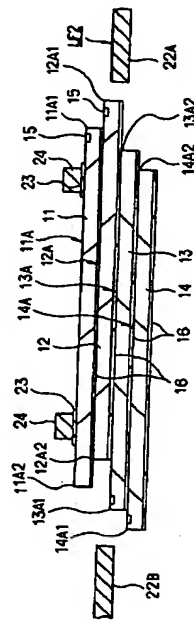
[図 2 6]

図 2 6

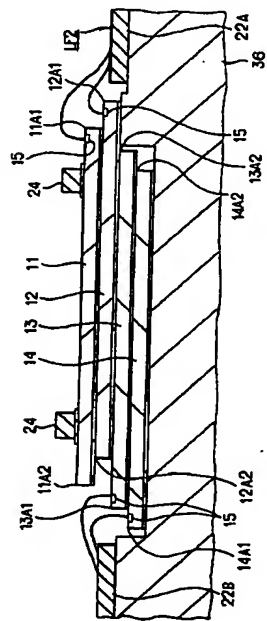


[図 2 7]

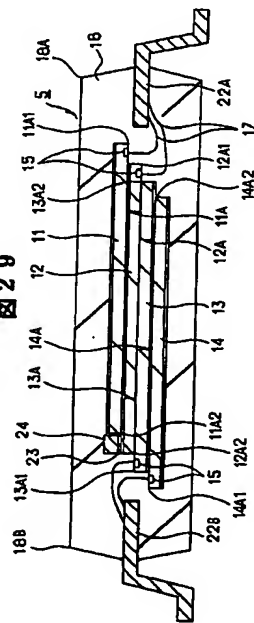
図 2 7



28



29



(72)発明者 和田 真

(72) 发明者 西沢 裕孝

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 加賀谷 浩一郎

秋田県南秋田郡天王町天王字長沼64 アキ
夕電子株式会社内

Fターム(参考) 5F067 BA00 CB00